# Clases: Lun, Miércoles y jueves de 20h a 21h30

# Manual de prácticas de Diseño Digital

**Los Laboratorios serán los días Jueves**

**Las prácticas se entregan hasta antes de la siguiente práctica (máximo el miércoles)**

**La programación será en VHDL usando GALAXY en Windows xP (Virtual machine)**

**Enviar como mensaje privado de FaceBook. Indicar el nómre de la práctica y el nombre de la asignatura. Si envías tu archivo, nombralo como DSD-nombre\_de\_práctica.**

**Dentro del archivo, colocar el nombre de los estudiantes.**

**Equipos de 3 estudiantes.**

**Examen = 5**

**Prácticas = 5**

# Práctica 1. Generación de pulsos digitales

Usando Proteus como simulador, realizar y simular los siguientes circuitos:

1. Generar un pulso en alto con un transistor NPN y un botón. ***High Active*** (led enciende cuando hay corriente en la Base)
2. Generar un pulso en Bajo con un transistor NPN y un botón. ***Low Active*** (led enciende cuando NO hay corriente en la Base)
3. Los mismos incisos de arriba pero usando un transistor PNP

**El transistor es al gusto**

**Simulación se envía por mensaje privado en FB**

# Práctica 2. Reducción de circuitos mediante algebra de Boole y mapas de Karnaugh.

Realiza el circuito en proteus para visualizar un dasplay de 7 segmentos (0…9, A,B,C,D,E,F)

1. Ánodo Común
2. Cátodo común
3. Utilizando la ecuación reducida mediante k-M

Consideraciones: utiliza 4 entradas X3, X2, X1, X0

Coloca la ecuación de cada segmento.

# Práctica 3: Sumador de dos números de 3 bits cada uno

Realiza el circuito en proteus para visualizar el resultado de la suma.

Tienes 2 opciones:

1. Simular usando compuertas
2. Simular usando código de VHDL con gal 22v10

# Entradas y salidas digitales.

Descripción: Se elaborarán dos placas de circuito Impreso (PCB) para trabajar con voltajes lógicos de 0 V y 5 V.

1. En la primera placa se colocarán 8 leds y servirá para visualizar las salidas de un circuito digital. Véase figura 1.
2. La segunda placa tendrá un encapsulado de 8 interruptores (dip-switch) y servirá para introducir información a un circuito digital. Véase figura 2.

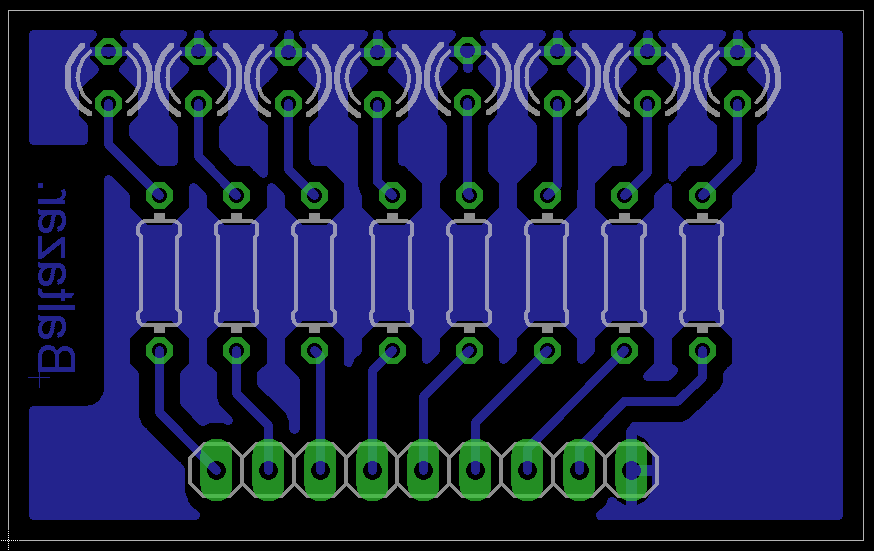
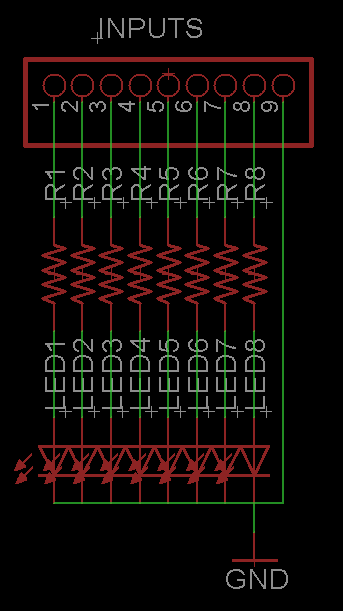


Figura 1. PCB Salidas digitales.

1. Aplicación de un latch

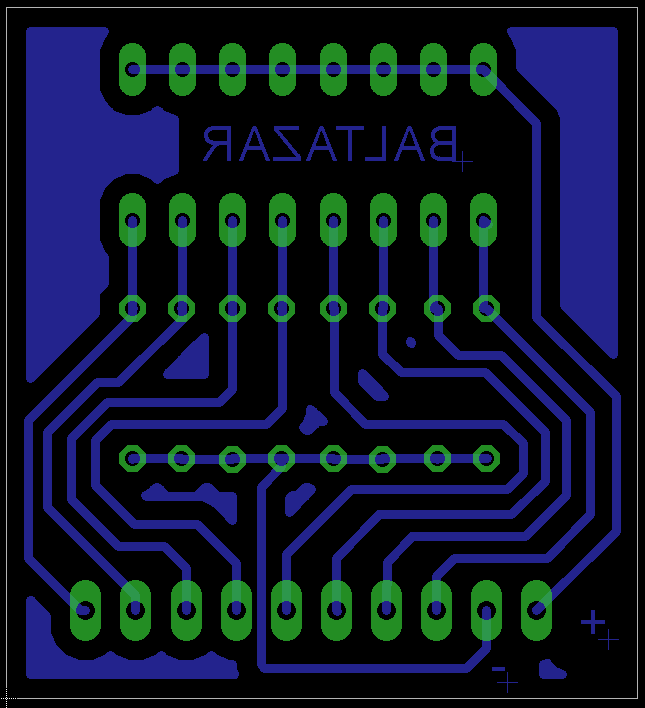
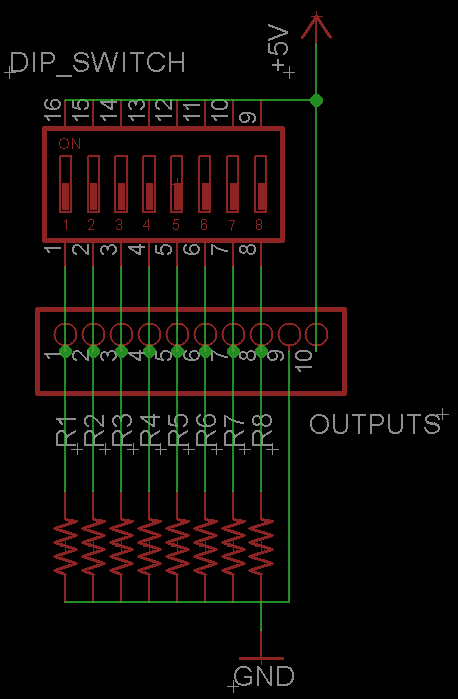


Figura 2. PCB Entradas digitales.

Objetivo: Armar el circuito correspondiente a una alarma sonora que se activará en el momento en que un fototransistor o fotoresistencia se quede sin su fuente luz.

Descripción: Programar en VHDL el comportamiento de un LATCH NOR como se muestra en la figura 5-12 del libro Digital Systems (Tocci).

1. Uso de pulsos digitales y Latch

Objetivo: Usando un LATCH NAND programado en VHDL, simular el comportamiento de un DEMUX de 2 canales.

Descripción: Realiza el circuito de la figura 5.13 y agrega los componentes necesarios para escuchar **una de las dos** notas a la vez A = La = 440 Hz ó C = Do = 262 Hz.

# Utilidad de un pulso digital

Objetivo: Controlar el encendido y apagado de una carga de corriente alterna a través de 4 interruptores, es decir, utilizando la técnica del apagador de escalera.

1. Digitalmente: usando VHDL y el PLD de tu preferencia.

Para la etapa de potencia es válido el uso de tiristores o relevadores. Véase la figura.

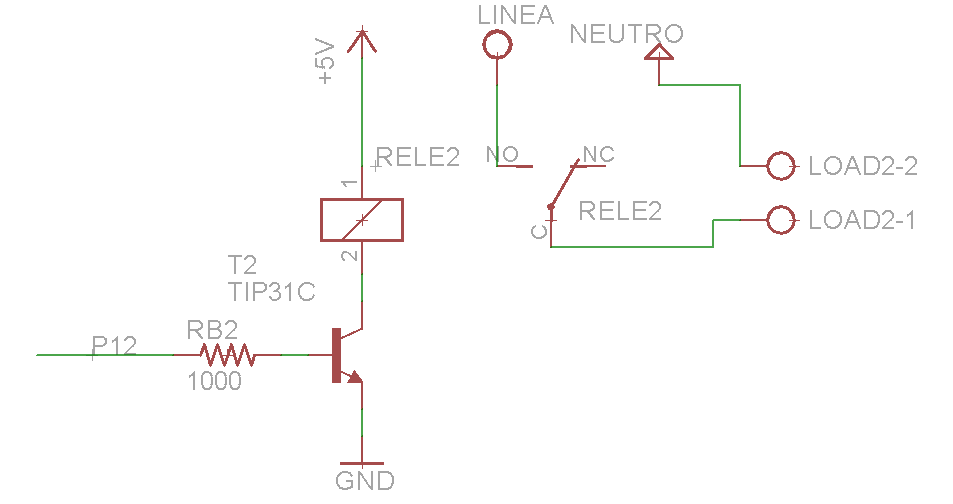


Figura 3. Etapa de potencia usando relevador.

1. Sin utilizar algún dispositivo programable o tarjeta de desarrollo. Como se hace en una casa habitación.

# Latches y Flip-Flop

Objetivo: Programar los Flip Flops: J-K, D y T en VHDL utilizando flancos de reloj positivo y sin señales asíncronas. Comparar y diferenciar el funcionamiento entre un Latch y un FF.

1. Programar en VHDL y simular en proteus un registro de 4 bits con carga en paralelo como el visto en clase y disponible en la página 258 del libro *Digital Design de Morris Mano*

Examen próximo jueves 19 de noviembre de 2020

* Teórico
* Los temas vistos en clase
* Individual
* Duración: 1h20
* A la hora de clase
* Calificación máxima = 50

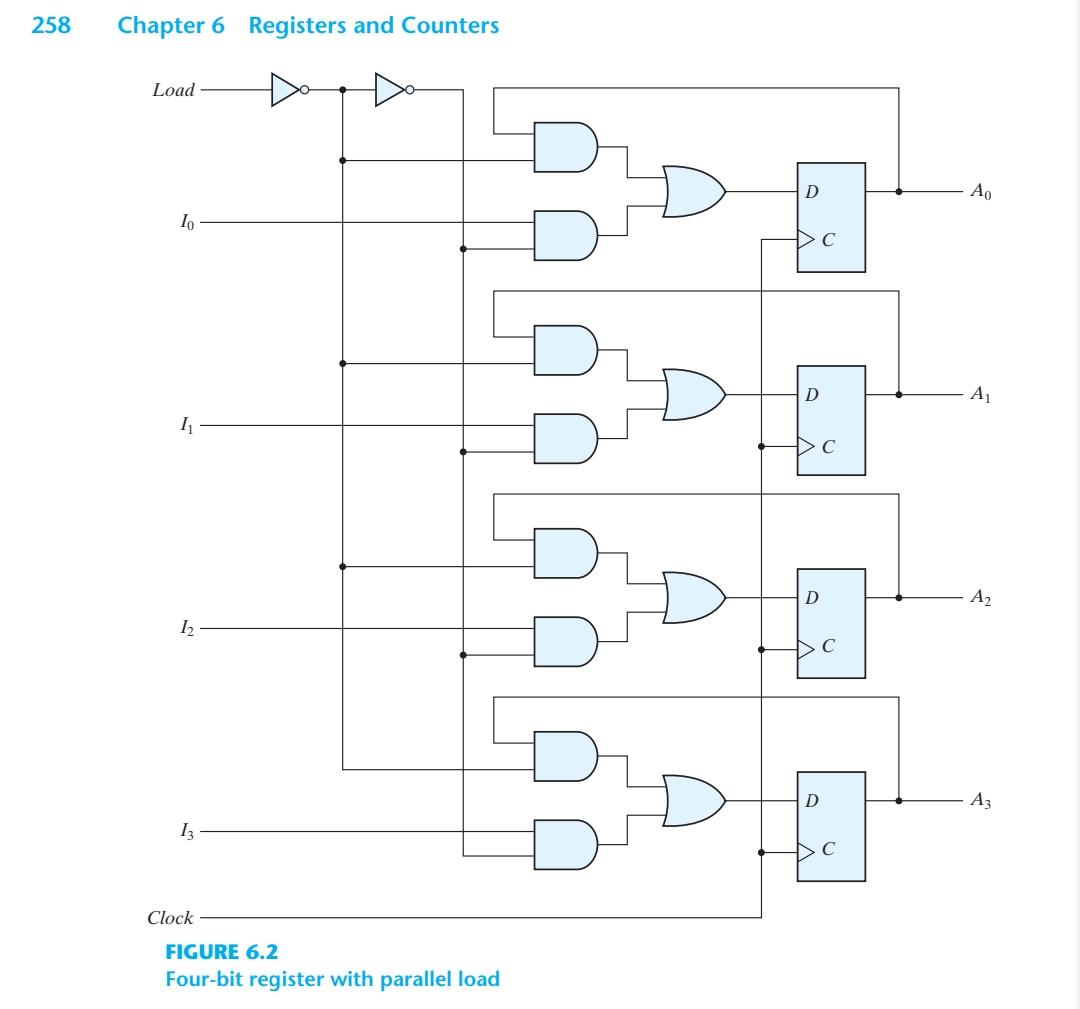
# Aplicación de un F-F.

Objetivo: realizar el circuito de la figura 5-13 del libro Digital Systems de Tocci 10th ed.

Programando un F-F tipo J-K en VHDL y usar una frecuencia de entrada correspondiente a la nota LA de 440Hz para ser escuchadas mediante unos audífonos con dos canales: Izquierdo y derecho.

# Four bit register with parallel load.

Goal: using VHDL and a pld, cpld or fpga, write the code for a four bit register with parallel load. See diagram for details.



# Práctica VI: Contador Fibonacci

Usando FF-JK programados en una gal (recomendable gal 22V10) realiza el circuito para la secuencia 1, 2, 3, 5, 8, 13, 21 y repetir eternamente. Probar en Proteus.

# Práctica VII:

Key: 1, 0, 1, 1, 0, 0, 1

Realiza el autómata para abrir un candado con la combinación anterior.

Una entrada/Una salida X/Y

Realiza:

1. Autómata
2. Tabla de estados
3. Ecuaciones usando FF-D, FF-JK y FF-T.
4. Circuito simulado en proteus (un circuito para cada tipo de FF).

# Examen 21/12/2020

* En equipo. Máximo de 3 personas (mismo equipo de prácticas)

Realizar el despliegue de las vocales en un display de 7 segmentos de cátodo común.

Si el selector es 0, entonces mostrará: a, e, i, o, u.

Si el selector es 1, entonces mostrará: u, o, i, e, a.

Consideraciones:

El tiempo de retardo será de 1000 ms = 1 s.

Entradas = 1 “selector”.

Salidas = 8 “cada segmento del display”

El examen se entregará subiendo un archivo comprimido que contendrá:

1. La simulación en proteus
2. El autómata, las tablas de estados y la reducción en Excel.
3. Realiza el análisis utilizando el FF-D